



THE UNITED STATES PATENT AND TRADEMARK OFFICE

0400
04/18/01
500.39910X00

386
03
7-23-02

Applicant(s): M. MIYAZAKI, ET AL.
Serial No.: 09 / 811,387
Filed: MARCH 20, 2001
Title: "SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE"

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

APRIL 20, 2001

Sir:

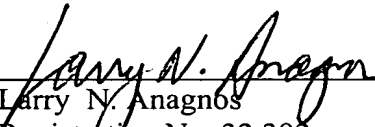
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2000 - 164717
Filed: MAY 30, 2000

A certified copy of said Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Larry N. Anagnos
Registration No. 32,392

LNA/rp
Attachment



日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

2000年 5月30日

出願番号

Application Number:

特願2000-164717

出願人

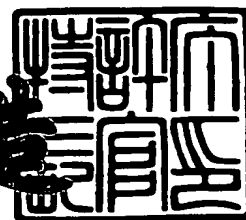
Applicant (s):

株式会社日立製作所

2001年 4月 6日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3025846

【書類名】 特許願

【整理番号】 H00007481A

【提出日】 平成12年 5月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

 【氏名】 宮▲崎▼ 祐行

【発明者】

 【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

 【氏名】 石橋 孝一郎

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【代理人】

 【識別番号】 100075096

 【弁理士】

 【氏名又は名称】 作田 康夫

 【電話番号】 03-3212-1111

【手数料の表示】

 【予納台帳番号】 013088

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】

少なくとも 1 つの MOS トランジスタで構成される主回路と、

上記主回路に供給されるクロック信号の周波数を制御するクロック周波数制御回路と、

上記主回路に供給される電源電圧を制御する電源電圧制御回路と、

上記主回路の上記 MOS トランジスタが形成されたウェルに供給する基板バイアスを制御する基板バイアス制御回路とを有し、

上記主回路に要求される動作性能に応じて、上記クロック信号の周波数、上記電源電圧の電圧値及び上記基板バイアスの電圧値のいずれについても制御可能であることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 記載の半導体集積回路装置において、

上記クロック周波数制御回路、上記電源電圧制御回路及び上記基板バイアス制御回路を制御する命令発生回路を有し、

上記命令発生回路は上記動作性能に応じて第 1 乃至第 3 の命令信号を発生し、

上記第 1 の命令信号により、上記クロック周波数制御回路は上記クロック信号の周波数を設定し、

上記第 2 の命令信号により、上記電源電圧制御回路は上記電源電圧の電圧値を設定し、

上記第 3 の命令信号により、上記基板バイアス制御回路は上記基板バイアスの電圧値を設定することを特徴とする半導体集積回路装置。

【請求項 3】

請求項 1 記載の半導体集積回路装置において、

上記動作性能に応じて第 1 の命令を発生する命令発生回路と、

上記主回路の温度を測定する温度補正回路とを有し、

上記温度補正回路は、上記第 1 の命令及び上記測定された上記主回路の温度と

に応じて、第2乃至第4の命令信号を発生し、

上記第2の命令信号により、上記クロック周波数制御回路は上記クロック信号の周波数を設定し、

上記第3の命令信号により、上記電源電圧制御回路は上記電源電圧の電圧値を設定し、

上記第4の命令信号により、上記基板バイアス制御回路は上記基板バイアスの電圧値を設定することを特徴とする半導体集積回路装置。

【請求項4】

請求項1記載の半導体集積回路装置において、

上記動作性能は少なくとも上記主回路の動作速度及び消費電力とを含み、

所定の動作速度を満たすように、上記クロック信号の周波数、上記電源電圧の電圧値及び上記基板バイアスの電圧の3つのパラメータのうち、少なくともいずれか1つのパラメータの値が設定され、

上記3つのパラメータのうち、他の2つのパラメータの値または他の1つのパラメータの値が制御することにより、上記主回路の動作性能が第1状態から第2状態に変化した場合、上記第2状態における上記消費電力が上記第1状態における上記消費電力が小さいことを特徴とする半導体集積回路装置。

【請求項5】

請求項1記載の半導体集積回路装置において、

上記動作性能は少なくとも上記主回路の動作速度及び消費電力とを含み、

所定の消費電力を満たすように、上記クロック信号の周波数、上記電源電圧の電圧値及び上記基板バイアスの電圧の3つのパラメータのうち、少なくともいずれか1つのパラメータの値が設定され、

上記3つのパラメータのうち、他の2つのパラメータの値または他の1つのパラメータの値が制御することにより、上記主回路の動作性能が第1状態から第2状態に変化した場合、上記第2状態における上記動作速度が上記第1状態における上記動作速度が高速であることを特徴とする半導体集積回路装置。

【請求項6】

請求項4記載の半導体集積回路装置において、

上記所定の消費電力は、上記半導体集積回路が使用する電力を供給する電池の電力残量に応じて制御されることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 2 記載の半導体集積回路装置において、

上記命令発生回路が発生する上記命令信号は、オペレーティングシステムからの命令、アプリケーションソフトウェアからの命令、外部からの信号入力、メモリからの信号または主回路の処理負荷量の少なくとも 1 つに応じて決定されることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 2 記載の半導体集積回路装置において、

上記命令発生回路、上記クロック周波数制御回路、上記電源電圧制御回路及び上記基板バイアス制御回路のうち少なくとも 1 つの回路が、上記主回路の形成されたチップとは別のチップに形成されたことを特徴とする半導体集積回路装置。

【請求項 9】

少なくとも 1 つの MOS トランジスタで構成される主回路と、

少なくとも 1 つの MOS トランジスタで構成されるモニタ回路と、

上記主回路に供給されるクロック信号の周波数を制御するクロック周波数制御回路と、

上記主回路に供給される電源電圧を制御する電源電圧制御回路と、

上記主回路の上記 MOS トランジスタが形成されたウェルに供給する基板バイアスを制御する基板バイアス制御回路とを有し、

上記主回路に要求される動作性能に応じて、上記クロック信号の周波数、上記電源電圧の電圧値及び上記基板バイアスの電圧値の 3 つのパラメータのいずれか 2 つのパラメータが設定され、

上記クロック信号、上記電源電圧及び上記基板バイアスは、上記モニタ回路に供給され、

上記 3 つのパラメータの他のパラメータは、上記モニタ回路の出力と参照信号との間の遅延が小さくなるように制御されることを特徴とする半導体集積回路装置。

【請求項 1 0】

請求項 9 記載の半導体集積回路装置において、

上記モニタ回路は、インバータ回路を直列接続した遅延回路であって、

上記モニタ回路の出力と上記参照信号とを比較して、上記モニタ回路の出力が上記参照信号よりも遅れている場合には第 1 信号を出力し、上記参照信号が上記モニタ回路の出力よりも遅れている場合には第 2 信号を出力する比較回路を有し

、
上記第 1 信号が出力された場合には、上記主回路の動作速度が速くなるように上記他のパラメータが制御され、上記第 2 信号が出力された場合には、上記主回路の動作速度が遅くなるように上記他のパラメータが制御されることを特徴とする半導体集積回路装置。

【請求項 1 1】

請求項 9 記載の半導体集積回路装置において、

上記クロック周波数制御回路、上記電源電圧制御回路及び上記基板バイアス制御回路のうち、上記 2 つのパラメータに対応する制御回路を制御する命令発生回路を有し、

上記命令発生回路は上記動作性能に応じて第 1 及び第 2 の命令信号を発生し、

上記第 1 及び第 2 の命令信号により、上記 2 つのパラメータに対応する制御回路は、そのパラメータの値を設定することを特徴とする半導体集積回路装置。

【請求項 1 2】

請求項 2 記載の半導体集積回路装置において、

上記命令発生回路が発生する上記命令信号は、オペレーティングシステムからの命令、アプリケーションソフトウェアからの命令、外部からの信号入力、メモリからの信号または主回路の処理負荷量の少なくとも 1 つに応じて決定されることを特徴とする半導体集積回路装置。

【請求項 1 3】

第 1 導電型の第 1 MOS トランジスタと上記第 1 MOS トランジスタと直列に接続された第 2 導電型の第 2 MOS トランジスタを含む主回路と、

上記第 1 及び第 2 MOS トランジスタが形成されたウェルに供給する基板バイ

アスを印加する基板バイアス制御回路とを有し、

上記基板バイアス制御回路は上記基板バイアスを印加することにより、上記主回路の動作周波数のばらつきを抑制し、

上記動作周波数のばらつきが抑制された上記主回路に対して、上記主回路に供給されるクロック信号の周波数及び上記主回路に供給される電源電圧の電圧値が制御されることを特徴とする半導体集積回路装置。

【請求項 1 4】

請求項 1 3 記載の半導体集積回路装置において、

上記基板バイアス制御回路は、上記ウェルに順バイアスから逆バイアスの範囲で上記基板バイアスを印加することを特徴とする半導体集積回路装置。

【請求項 1 5】

請求項 1 3 記載の半導体集積回路装置において、

第 1 導電型の基板に、第 2 導電型の分離層を介して、第 1 導電型の第 1 ウェルと第 2 導電型の第 2 ウェルとが形成され、

上記第 1 ウェルに上記第 2 MOS トランジスタが形成され、上記第 2 ウェルに上記第 1 MOS トランジスタが形成されたことを特徴とする半導体集積回路装置

。

【請求項 1 6】

請求項 1 3 記載の半導体集積回路装置において、

第 1 導電型の基板に、絶縁層を介して、第 1 導電型の第 1 ウェルと第 2 導電型の第 2 ウェルとが形成され、

上記第 1 ウェルに上記第 2 MOS トランジスタが形成され、上記第 2 ウェルに上記第 1 MOS トランジスタが形成されたことを特徴とする半導体集積回路装置

。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路に係わり、特に高速性と低消費電力性を同時に実現する半導体集積回路装置に関する。

【0002】

【従来の技術】

CMOS回路を用いた半導体集積回路装置の性能を向上させるためには、CMOS回路を構成するMOSトランジスタを微細化する、MOSトランジスタのしきい値電圧の絶対値を低下させる、電源電圧を高くする、など、いろいろな方法がある。しかし、一般的にCMOS回路の動作速度が向上すると、それだけ消費電力も増加してしまう。例えば、MOSトランジスタのしきい値電圧を下げると動作速度は速くなるが、リーク電流も増加する。同様に電源電圧が高くなれば、動作速度が向上するとともに動作電力も増加する。消費電力の増加は、回路の性能を劣化させ、誤動作を引き起こすといった問題を生じる。また、消費電力増加にともなう発熱は、半導体集積回路装置の実装にも影響を与え、製造コストを高くするという問題ももたらす。そのため、CMOS回路の性能向上にとっては、高速化とともに、低消費電力化が重要な課題となっている。

【0003】

上記の課題を解決する方法として、例えば2000・インターナショナル・ソリッド・ステート・サーキット・コンファレンス・ダイジェスト・オブ・テクニカル・ペーパーズ（2000年2月）第294ページから第295ページ（2000 International Solid-State Circuits Conference Digest of Technical Papers pp.294-295 (February, 2000)）に述べられている技術によると、CMOS回路で構成されたマイクロプロセッサの動作クロック周波数と電源電圧を制御することにより、低消費電力でかつ高速なプロセッサを実現しようとしている。高速動作が必要とされる場合には、クロック周波数を速くし電源電圧を高くすることにより消費電力を大きくしながら動作速度を向上させる。一方で、低速動作が許される場合には、クロック周波数を遅くし電源電圧を低くすることで、消費電力を削減する。これらの組合せをオペレーティングシステムで調整することにより、マイクロプロセッサが長期間動作する際に、高速および低消費電力を実現している。

【0004】

【発明が解決しようとする課題】

高速性と低電力性の二点を両立した、マイクロプロセッサ等のCMOS回路で

構成される半導体集積回路装置を実現するためには、CMOS回路について前述のような動作クロック周波数及び電源電圧の制御を行う技術は有効な手段である。高速動作時にはクロック周波数の高速化と電源電圧の高電圧化を行い、低電力動作時あるいは低速動作時にはクロック周波数の低速化と電源電圧の低電圧化を行うことで、マイクロプロセッサの性能を向上させることができる。

【0005】

ところで、近年のようにMOSトランジスタの微細化が進むと、作成プロセスにおけるトランジスタ寸法やトランジスタ性能のばらつきが大きくなる。図3にCMOS回路の動作周波数に関する電源電圧依存性を示している。図3の横軸に電源電圧を、縦軸に動作周波数を示している。図に示すように、トランジスタの性能ばらつきなどが原因で、CMOS回路の動作周波数は同一の電源電圧においても高速なベスト (best)、標準的なティピカル (typical)、低速なワースト (worst) と、その速度にひろがりを持つ。このようにばらつきを持ったCMOS回路を用いてマイクロプロセッサ等の半導体集積回路装置について、装置として保証できる動作速度はワーストの速度として決定される。図のように、電源電圧が低下するとCMOS回路の動作速度は低下していくが、ワーストの場合、その動作速度の劣化が顕著であり、マイクロプロセッサの性能向上を妨げている。

【0006】

CMOS回路の動作特性ばらつきを抑制することが可能であると、図3のティピカルにある速度が保証されることになり、結果としてさらなる高速化および低電力化を実現できるようになる。このばらつきはMOSトランジスタの基板バイアスを制御することにより行える。

【0007】

第1の課題は、CMOS回路の特性ばらつきを抑制し、回路性能を向上した半導体集積回路装置を提供することにある。

【0008】

第2の課題は、動作速度を劣化させることなく、低電力化を実現し、特に電池を用いた携帯機器向けに好適な半導体集積回路装置を提供することにある。

【 0 0 0 9 】

第 3 の課題は、消費電力を増加させることなく、高速動作可能な半導体集積回路装置を提供することにある。

【 0 0 1 0 】

第 4 の課題は、上記のような半導体集積回路を搭載したシステムであって、電池で動作しうる期間を延長しうるシステムを提供することにある。

【 0 0 1 1 】

【課題を解決するための手段】

上記課題を解決するために本発明で提示した手段の主なものは以下のようになる。

【 0 0 1 2 】

少なくとも 1 つの MOS トランジスタで構成される主回路と、主回路に供給されるクロック信号の周波数を制御するクロック周波数制御回路と、主回路に供給される電源電圧を制御する電源電圧制御回路と、主回路の MOS トランジスタが形成されたウェルに供給する基板バイアスを制御する基板バイアス制御回路とを有し、主回路に要求される動作性能に応じて、クロック信号の周波数、電源電圧の電圧値及び基板バイアスの電圧値のいずれについても制御可能であるようにする。

【 0 0 1 3 】

このとき、装置に電力を供給する電池の電力残量に応じて、動作性能の 1 つのパラメータである消費電力の制限値が変化させる。電力残量が少なくなったときに消費電力を下げることで電池寿命を延ばすことができる。

【 0 0 1 4 】

なお、命令発生回路が生成する命令信号は、オペレーティングシステムからの命令、アプリケーションソフトウェアからの命令、本発明の半導体集積回路装置に外部から入力される信号、ROM や FLASH などのメモリからの信号、あるいは主回路が処理をする負荷の量に応じて決定できる。

【 0 0 1 5 】

主回路は、少なくとも 2 個以上の複数のブロックに分割され、各ブロックでク

ロック周波数制御、電源電圧制御、基板バイアス制御が行い、ブロック毎に最適な性能を満たすように制御される。これにより、各ブロックの行う処理負荷に応じた動作特性で動作させることが可能になり、よりきめ細かな制御が可能になる。

【 0 0 1 6 】

また、上述の半導体集積回路装置を用いたシステムについても開示する。半導体集積回路装置、電池、電圧変換回路を含んだシステムにおいて、半導体集積回路装置は、電池からの電力は電圧変換回路を介して供給される。本発明では、スイッチ回路を設け、電池からの電力を上記電圧変換回路をバイパスして半導体集積回路装置に供給する経路を設ける。電池の残容量が減ってきた場合、装置への供給はスイッチ回路の切り替えにより電圧変換回路を経由せず、直接電池から与えられる。この時、電圧変換回路を使用する必要がなくなり、電池の寿命を延長する。

【 0 0 1 7 】

【発明の実施の形態】

以下、図を参照して本発明の実施例を説明する。

【 0 0 1 8 】

図1は、本発明の実施例を示す図である。

【 0 0 1 9 】

本実施例の半導体集積回路装置は、CMOS回路で構成されるマイクロプロセッサ等の半導体集積回路である主回路LSIと、命令発生回路OP、クロック周波数制御回路FRQCNT、電源電圧制御回路VDDCNT、基板バイアス制御回路VBBCNTを含んで構成される。命令発生回路OPは命令信号CMD01、CMD02、CMD03を出力する。クロック周波数制御回路FRQCNTは命令信号CMD01を受けてそれに応じた周波数のクロック信号をN01として生成する。電源電圧制御回路VDDCNTは命令信号CMD02を受けてそれに応じた電圧の電源電圧をN02として生成する。基板バイアス制御回路VBBCNTは命令信号CMD03を受けてそれに応じた電圧の基板電圧をMOSTランジスタの基板（またはウェル）用にそれぞれN03およびN04として生成する。

【0020】

主回路LSIはクロック信号N01、電源電圧N02、基板バイアスN03およびN04を受け、それらに応じて動作あるいは信号処理を行う。主回路LSIは図1に示されるように、一般的にはレジスタ回路REG01あるいはREG02や論理回路LOGまたは記憶回路（図示せず）などから構成されている。レジスタ回路REG01とREG02の動作はクロック信号N01のクロック周期と電源電圧N02、基板バイアスN03、N04で決定され、論理回路LOGの動作速度は電源電圧N02、基板バイアスN03、N04で決定される。論理回路LOGは、レジスタREG01を介して入力されるデータ信号DAT01の処理を行い、DAT02をレジスタREG02を介して出力する。

【0021】

CMOS回路の動作速度は、製造プロセスのばらつき、電源電圧の変動、動作温度の変化などの原因により変化し、設計値どおりの速度をティピカルとしたとき、最も速くなる条件での速度をベスト、最も遅くなる条件での速度をワーストという。図3はCMOS回路の動作速度すなわち動作周波数の変動の電源電圧依存性を示す図である。図3からわかるように、CMOS回路の動作速度はベストからワーストまで変動幅を持ち、この幅は電源電圧が低くなるほど広がっている。本発明では、CMOS回路の基板バイアスを制御する。これによって図3に示したワーストからベストまでの範囲の特性ばらつきを設計値（ティピカル）にそろえることによって、その性能を向上させることができる。

【0022】

例えば、A点（ワースト）で動作する主回路LSIを基板バイアス制御することによりA'点（ティピカル）で動作させる。この場合、同じ動作速度あるいは処理速度を維持しながら電源電圧を下げるのが可能となり、消費電力を大幅に低減できる。あるいは、A点（ワースト）で動作する主回路LSIを基板バイアス制御してA''点で動作させる。この場合、同じ電源電圧すなわち同じ消費電力のまま、動作速度を上昇させることができる。このように、基板バイアス制御と、動作クロック周波数制御および電源電圧制御を行うことで、従来はA、B、C

点などの制御点で主回路 L S I を動作させていたことに比べ、A'、B'、C' 点で動作させることで低電力化を図ったり、あるいは A''、B''、C'' 点で動作させることで高速化を図ったりできるようになる。

【0023】

図3をもとに、この効果を数値で示したものが図2である。従来のクロック周波数と電源電圧による制御では、例えばクロック信号周波数 F R Q が 2 0 0 M H z、1 0 0 M H z、5 0 M H z と選択された際に電源電圧としては 1. 7 V、1. 2 V、1. 0 V と決定される。これに対し、基板バイアス制御を行うと、電源電圧を 1. 4 V、0. 9 V、0. 8 V と低下させることができ、従来以上に主回路 L S I の低消費電力化が可能となる。

【0024】

基板バイアスとしては、順バイアスから逆バイアスまでの範囲を印加してよい。順バイアスとは、CMOS回路を構成するMOSトランジスタの基板（ウェル）に、順方向にバイアスすることである。すなわち、PMOSトランジスタであれば、ソース端子よりも低い電圧を、NMOSトランジスタであれば、ソース端子よりも高い電圧を印加することを示す。逆バイアスとは、MOSトランジスタの基板に逆方向にバイアスすることで、PMOSトランジスタであればソース端子よりも高い電圧を、NMOSトランジスタであればソース端子よりも低い電圧を印加することを示す。逆バイアスから順バイアス方向に基板バイアスを変化させることを基板バイアスを浅くするといい、順バイアスから逆バイアス方向に基板バイアスを変化させることを基板バイアスを深くするという。

【0025】

MOSトランジスタのスイッチング速度を示す指標の一つとしてしきい値電圧があげられるが、基板バイアスを浅くするとしきい値電圧の絶対値は低下し、基板バイアスを深くするとしきい値電圧の絶対値は高くなる。しきい値電圧が低いMOSトランジスタを用いたCMOS回路は動作速度が速くなり、しきい値電圧が高いMOSトランジスタを用いたCMOS回路は動作速度が遅くなる。したがって、基板バイアスを浅くし、特に順バイアスにまですると、CMOS回路は高速化され、基板バイアスを深くして逆バイアスを印加すると、CMOS回路は低

速になる。

【 0 0 2 6 】

主回路 L S I を電池駆動した場合の、電池が供給できる電圧と時間の関係を図 4 に示す。従来の技術では、主回路 L S I の動作速度が最高速度を要求されるとき、電源電圧 1. 7 V から電圧が減少すると使用できなくなる。つまり、図の A 点までしか使用ができない。しかし、本発明によれば、同じ動作速度をその基板に順バイアスを印加することによって電源電圧 1. 4 V で実現できるため、図の B 点まで使用できる。さらに、はじめから 1. 4 V で使用することにより A' で示される時間も延長され、さらに B' の期間も駆動できるようになるため、電池寿命が大幅に延長される。

【 0 0 2 7 】

命令発生回路 O P では、オペレーティングシステムからの命令、アプリケーションソフトウェアからの命令、装置外部からモードに応じた信号入力、ROM や FLASH といったメモリからの信号入力、主回路 L S I が処理するデータ量すなわち処理負荷量などに応じて、最適な動作性能を実現できるように命令信号を生成する。また、電池を用いて駆動させる場合は、電池の残容量に応じて制御を変更し、速度を遅くして電池寿命を延長することも可能である。

【 0 0 2 8 】

以上において、命令発生回路 O P、クロック周波数制御回路 F R Q C N T、電源電圧制御回路 V D D C N T、基板バイアス制御回路 V B B C N T は、主回路 L S I と同一のチップ上に存在してもよいし、別チップで用意されてもかまわない。以下の実施例においても同じである。

【 0 0 2 9 】

図 5 は、本発明の他の実施例を示す図である。

【 0 0 3 0 】

本発明の半導体集積回路装置は、CMOS 回路で構成されるマイクロプロセッサ等の半導体集積回路である主回路 L S I と、命令発生回路 O P、温度補正回路 T M P、クロック周波数制御回路 F R Q C N T、電源電圧制御回路 V D D C N T、基板バイアス制御回路 V B B C N T から構成される。温度補正回路 T M P は温

度測定機能と命令発生機能とを有する。命令発生回路OPから出力された命令信号CMD00は、温度補正回路TMPに与えられ、温度補正回路TMPは、測定したそのときの動作温度に応じて命令信号CMD01、CMD02、CMD03を出力する。クロック周波数制御回路FRQCNTは命令信号CMD01を受けてそれに応じた周波数のクロック信号をN01として生成する。電源電圧制御回路VDDCNTは命令信号CMD02を受けてそれに応じた電圧の電源電圧をN02として生成する。基板バイアス制御回路VBBCNTは命令信号CMD03を受けてそれに応じた電圧の基板電圧をMOSトランジスタの基板用にそれぞれN03およびN04として生成する。主回路LSIはクロック信号N01、電源電圧N02、基板バイアスN03およびN04をうけ、それらに応じて動作あるいは信号処理を行う。主回路LSIは図1に示されるように、一般的にはレジスタ回路REG01あるいはREG02や論理回路LOGまたは記憶回路などから構成されている。レジスタ回路REG01とREG02の動作はクロック信号N01のクロック周期と電源電圧N02、基板バイアスN03、N04で決定され、論理回路LOGの動作速度は電源電圧N02、基板バイアスN03、N04で決定され、データ信号DAT01あるいはDAT02の処理を行う。

【0031】

図3で示された動作速度の関係は、主回路動作に伴う発熱等を原因として温度が変化することにより変化する。そのため、温度に応じて動作点を変える必要があり、温度補正回路TMPで命令信号を変換することにより、動作点を変更させ、常に最適な制御信号を主回路LSIに供給することができる。

【0032】

図6は、本発明の他の実施例を示すフローチャートである。

【0033】

命令CMDが発生すると、はじめに命令CMDが要求する性能を満たすための動作周波数が決定され、クロック周波数制御回路FRQCNTが所定の周波数のクロック信号を生成する。このクロック周波数で動作させることの可能な最低の電源電圧を、周波数／電源電圧対応表TBLをもとに電源電圧制御回路VDDCNTが生成する。最後に、これらクロック信号と電源電圧をもとに主回路が要求

される性能を満たすように基板バイアス制御回路VBBCNTが最適な基板バイアスを選択する。最適な基板バイアスが選択されると、主回路は動作を開始する。クロック信号周波数と電源電圧は、命令CMDに応じてメモリなどに収められた対応表TBLをもとに同時に決定される。その後、基板バイアスは主回路の動作が要求性能に適合するかどうかをフィードバックしながら調整していく。このようにして、要求性能を満たしつつ、消費電力を最低に抑えた動作を実現する。

【0034】

図7は、本発明の他の実施例を示すフローチャートである。

【0035】

命令CMDが発生すると、はじめに命令CMDが要求する性能を満たすための動作周波数が決定され、クロック周波数制御回路FRQCNTが所定の周波数のクロック信号を生成する。このクロック周波数で動作させることの可能な最低の電源電圧を、周波数／電源電圧対応表TBLをもとに電源電圧制御回路VDDCNTが生成する。この時に、温度情報TMPが対応表TBLに与えられる。対応表TBLが有する周波数／電源電圧関係はこの温度情報TMPに応じて変更される。最後に、これらクロック信号と電源電圧をもとに主回路が要求される性能を満たすように基板バイアス制御回路VBBCNTが最適な基板バイアスを選択する。最適な基板バイアスが選択されると、主回路は動作を開始する。クロック信号周波数と電源電圧は、命令CMDに応じてメモリなどに収められた対応表TBLをもとに同時に決定される。その後、基板バイアスは主回路の動作が要求性能に適合するかどうかをフィードバックしながら調整していく。このようにして、要求性能を満たしつつ、消費電力を最低に抑えた動作を実現する。対応表TBLが温度情報TMPに応じて変換されることで、さらに詳細な制御を可能とする。

【0036】

図8は、本発明の他の実施例を示すフローチャートである。

【0037】

図6や図7のフローチャートにおいて、クロック周波数制御回路FRQCNT、電源電圧制御回路VDDCNT、基板バイアス制御回路VBBCNTの制御順序は順不同で、目的に応じて変えることが可能である。すなわち、図8の制御手

段CNTA、CNTB、CNTCに、それぞれクロック周波数制御回路FRQCNT、電源電圧制御回路VDDCNT、基板バイアス制御回路VBBCNTのいずれをあてはめてもよい。例えば、消費電力を上げることなく動作速度を向上させる場合、電源電圧、基板バイアス、クロック周波数の順に制御を決定していけばよい。

【0038】

図9は、本発明の他の実施例を示すフローチャートである。

【0039】

命令CMDが発生すると、周波数／電源電圧／基板バイアス対応表TBLをもとに動作周波数、電源電圧、基板バイアスが決定され、それぞれクロック周波数制御回路FRQCNT、電源電圧制御回路VDDCNT、基板バイアス制御回路VBBCNTが所定のクロック信号、電源電圧、基板バイアスを生成する。その後、主回路が動作を開始する。クロック信号周波数、電源電圧、基板バイアスは、メモリなどに収められた対応表TBLをもとに命令CMDに応じて同時に決定される。対応表TBLは、あらかじめ主回路が要求性能を満たすように設定されている。その際に、動作速度を満たす範囲で消費電力を最小に抑える設定、または消費電力を満たす範囲で動作速度を最高に向上させる設定が存在する。

【0040】

図10は、本発明の他の実施例を示すフローチャートである。

【0041】

命令CMDが発生すると、周波数／電源電圧／基板バイアス対応表TBLをもとに動作周波数、電源電圧、基板バイアスが決定され、それぞれクロック周波数制御回路FRQCNT、電源電圧制御回路VDDCNT、基板バイアス制御回路VBBCNTが所定のクロック信号、電源電圧、基板バイアスを生成する。この時に、温度情報TMPが対応表TBLに与えられる。対応表TBLが有する周波数／電源電圧／基板バイアス関係はこの温度情報TMPに応じて変更される。その後、主回路が動作を開始する。クロック信号周波数、電源電圧、基板バイアスは、メモリなどに収められた対応表TBLをもとに命令CMDに応じて同時に決定される。対応表TBLは、あらかじめ主回路が要求性能を満たすように設定さ

れている。その際に、動作速度を満たす範囲で消費電力を最小に抑える設定、または消費電力を満たす範囲で動作速度を最高に向上させる設定が存在する。対応表 T B L が温度情報 T M P に応じて変換されることで、さらに詳細な制御を可能とする。

【 0 0 4 2 】

図 1 1 は、本発明の他の実施例を示すフローチャートである。

【 0 0 4 3 】

命令 C M D が発生すると、はじめに命令 C M D が要求する性能を満たすための動作周波数が決定され、クロック周波数制御回路 F R Q C N T が所定の周波数のクロック信号を生成する。その後、クロック信号をもとに主回路が要求される性能をみたすように電源電圧制御回路 V D D C N T と基板バイアス制御回路 V B B C N T が最適な電源電圧および基板バイアスの組合せを選択する。両者の選択にあたっては、電源電圧／基板バイアス対応表 T B L をもとに電源電圧と基板バイアスの組合せが選択される。最適な電源電圧および基板バイアスの組合せが選択されると、主回路は動作を開始する。クロック信号周波数は、命令 C M D に応じて決定される。その後、電源電圧と基板バイアスはメモリなどに収められた対応表 T B L をもとに同時に選択され、主回路の動作が要求性能に適合するかどうかをフィードバックしながら選択肢を調整していく。このようにして、要求性能を満たしつつ、消費電力を最低に抑えた動作を実現することができる。

【 0 0 4 4 】

図 1 2 は、本発明の他の実施例を示すフローチャートである。

【 0 0 4 5 】

命令 C M D が発生すると、はじめに命令 C M D が要求する性能を満たすための動作周波数が決定され、クロック周波数制御回路 F R Q C N T が所定の周波数のクロック信号を生成する。その後、クロック信号をもとに主回路が要求される性能をみたすように電源電圧制御回路 V D D C N T と基板バイアス制御回路 V B B C N T が最適な電源電圧および基板バイアスの組合せを選択する。両者の選択にあたっては、電源電圧／基板バイアス対応表 T B L をもとに電源電圧と基板バイアスの組合せが選択される。この時に、温度情報 T M P が対応表 T B L に与えら

れる。対応表 T B L が有する電源電圧／基板バイアス関係はこの温度情報 T M P に応じて変更される。最適な電源電圧および基板バイアスの組合せが選択されると、主回路は動作を開始する。クロック信号周波数は、命令 C M D に応じて決定される。その後、電源電圧と基板バイアスはメモリなどに収められた対応表 T B L をもとに同時に選択され、主回路の動作が要求性能に適合するかどうかをフィードバックしながら選択肢を調整していく。このようにして、要求性能を満たしつつ、消費電力を最低に抑えた動作を実現することができる。対応表 T B L が温度情報 T M P に応じて変換されることで、さらに詳細な制御を可能とする。

【 0 0 4 6 】

図 1 3 は、本発明の他の実施例を示すフローチャートである。

【 0 0 4 7 】

図 1 1 や図 1 2 のフローチャートにおいて、クロック周波数制御回路 F R Q C N T、電源電圧制御回路 V D D C N T、基板バイアス制御回路 V B B C N T の制御順序は順不同で、目的に応じて変えることが可能である。すなわち、図 1 3 の制御手段 C N T A、C N T B、C N T C に、それぞれクロック周波数制御回路 F R Q C N T、電源電圧制御回路 V D D C N T、基板バイアス制御回路 V B B C N T のいずれをあてはめてもよい。例えば、消費電力を上げることなく動作速度を向上させる場合、制御手段 C N T A を電源電圧制御回路 V D D C N T、その他の制御手段を基板バイアス制御回路 V B B C N T、クロック周波数制御回路 F R Q C N T として制御を決定していけばよい。

【 0 0 4 8 】

図 1 4 は、本発明の他の実施例を示す図である。

【 0 0 4 9 】

本発明の他の実施例では、本発明の半導体集積回路装置は、モニタ回路 M O N、比較回路 C M P、デコーダ回路 D E C、命令発生回路 O P、クロック信号発生回路 F R Q G E N、電源電圧発生回路 V D D G E N、基板バイアス発生回路 V B B G E N、および主回路 L S I から構成される。モニタ回路 M O N は、クロック発生回路 F R Q G E N が生成するクロック信号 N 1 1、電源電圧発生回路 V D D G E N が生成する電源電圧 N 1 2、基板バイアス発生回路が生成する基板バイア

スN13を供給され、モニタ信号N14を出力する。比較回路CMPは、モニタ信号N14と参照信号REFを比較し、モニタ信号N14の速度が参照信号よりも速い場合にはダウン信号N16を、遅い場合にはアップ信号N15を出力する。デコーダ回路DECはアップ信号N15、ダウン信号N16を入力してデコードし、デコーダ信号N17を出力する。クロック信号発生回路FRQGEN、電源電圧発生回路VDDGEN、基板バイアス発生回路VBBGENは、それぞれデコーダ信号N17と命令発生回路OPが出力する命令信号CMD11、CMD12、CMD13を入力し、これらの信号に応じてクロック信号N11、電源電圧N12、基板バイアスN13を生成し、主回路LSIおよびモニタ回路MONに供給する。

【0050】

図6および7で説明されたフローチャートにもとづく実施例では、命令発生回路OPは命令信号CMD11、CMD12を生成してクロック信号発生回路FRQGENの出力N11および電源電圧発生回路VDDGENの出力N12を決定し、これら発生回路にたいしてデコード信号N17を無効にする。また、命令信号N13は出力されなくなり、デコード信号N17によって基板バイアス発生回路VBBGENとその出力N13が制御される。図15にその仕組みを詳細に示す。

【0051】

図15に示されるように、モニタ回路MONおよび主回路LSIには、はじめに命令発生回路OPから出力される命令信号CMD11およびCMD12により決定される、クロック信号発生回路FRQGENの出力クロック信号N11および電源電圧発生回路VDDGENの出力電圧N12が供給される。モニタ回路MONはクロック信号N11を遅延させてモニタ信号N14として出力する。比較回路CMPはモニタ回路MONの遅延時間が設計値より速いか遅いかを、クロック信号N11とモニタ信号N14を比較して判断し、もしモニタ回路MONの遅延時間が遅くなっていればアップ信号N15を、速くなっていればダウン信号N16を出力する。デコーダ回路はアップ信号N15とダウン信号N16をデコードし、デコーダ信号N17を生成する。デコーダ信号N17は基板バイアス発生

回路VBBGENに入力され、アップ信号N15が生じたときには基板バイアスを深くし、ダウン信号N16が生じたときには基板バイアスを浅くするように、基板バイアスN13をモニタ回路にフィードバックする。

【0052】

一般にCMOS回路では、基板バイアスによってMOSトランジスタのしきい値電圧を制御することができ、したがってCMOS回路の動作速度を基板バイアスで変化させることができる。基板バイアスを深くすると、MOSトランジスタのしきい値電圧は高くなりCMOS回路の動作速度が遅くなる。逆に基板バイアスを浅くすると、MOSトランジスタのしきい値電圧は低くなりCMOS回路の動作速度が速くなる。このフィードバック制御を繰り返すことによって、モニタ回路MONの遅延時間がクロック信号N11、電源電圧N12に応じて所定の値になるように基板バイアスN13が制御される。この基板バイアスは主回路LSIにも供給されるので、主回路の動作速度も同様に最適な値に調整される。

【0053】

図8で説明されたフローチャートにもとづく実施例では、命令発生回路OPは命令信号CMD11、CMD12、CMD13のうち2つの信号を生成してクロック信号発生回路FRQGENの出力N11、電源電圧発生回路VDDGENの出力N12、あるいは基板バイアス制御回路VBBGENの出力N13のうち2種類の制御信号を決定し、これら選択された2つの発生回路にたいしてデコード信号N17を無効にする。また、残りの命令信号は出力されなくなり、デコード信号N17によって残りの制御回路とその出力が制御される。

【0054】

図15ないし17にその仕組みを詳細に示す。図15は、上記で説明したように、クロック信号発生回路FRQGENと電源電圧発生回路VDDGENが命令発生回路OPにより選択され、基板バイアス発生回路VBBGENはモニタ回路MONおよび主回路LSIの動作速度が最適になるようにフィードバック制御される。図16は同様に、クロック信号発生回路FRQGENと基板バイアス発生回路VBBGENが命令発生回路OPにより選択され、電源電圧発生回路VDDGENはモニタ回路MONおよび主回路LSIの動作速度が最適になるようにフ

ィードバック制御される。図 1 7 は同様に、電源電圧発生回路 VDDGEN および基板バイアス発生回路 VBBGEN が命令発生回路 OP により選択され、クロック信号発生回路 FRQGEN はモニタ回路 MON および主回路 LSI の動作速度が最適になるようにフィードバック制御される。

【 0 0 5 5 】

図 1 8 は、モニタ回路の実施例を示す図である。

【 0 0 5 6 】

モニタ回路は、CMOS を用いたインバータ回路が直列に接続された構造をしている。モニタ回路の入力 N 1 1 から出力 N 1 4 まで信号が伝達する遅延時間は、CMOS 回路に与えられる電源電圧 N 1 2、基板バイアス N 1 3 により変化させることができる。電源電圧 N 1 2 を高くすればモニタ回路の遅延時間は短くなり、低くすれば遅延時間は長くなる。基板バイアス N 1 3 を深くすればモニタ回路の遅延時間は長くなり、浅くすれば遅延時間は短くなる。ここで、基板バイアスを深くするというのは、PMOS トランジスタ用基板バイアス VBP が電源電圧 VDD よりも高くなり、NMOS トランジスタ用基板バイアス VBN がグランド電圧 VSS よりも低くなることを示す。また、基板バイアスを浅くするというのは、PMOS トランジスタ用基板バイアス VBP が電源電圧 VDD よりも低くなり、NMOS トランジスタ用基板バイアス VBN がグランド電圧 VSS よりも高くなることを示す。

【 0 0 5 7 】

図 1 9 は、比較回路の実施例を示す図である。

【 0 0 5 8 】

比較回路は、2 つの入力信号 N 1 4 と N 1 1 の周波数および位相を比較する。N 1 4 の信号が N 1 1 の信号よりも遅い場合にはアップ信号 N 1 5 を出力し、速い場合にはダウン信号 N 1 6 を出力する。

【 0 0 5 9 】

図 2 0 は、デコーダ回路の実施例を示す図である。デコーダ回路は、RS 型フリップフロップ回路 RSFF、D 型フリップフロップ回路 DFF、セクタ回路 SEL01、ノア回路 NOR、インバータ回路 INV から構成される。D 型フリ

アップフロップ D F F の Q 信号出力 N 1 7 のうち、1 信号だけがハイ状態を示し、残りはすべてローになっている。アップ信号 N 1 5 が入力されると、N 1 7 信号のハイ出力位置は図の左から右へ 1 段移動する。ダウン信号 N 1 6 が入力されると、N 1 7 信号のハイ出力位置は図の右から左へ 1 段移動する。つまり、この図に示されているデコーダ回路は、アップダウンシフトレジスタになっている。

【 0 0 6 0 】

図 2 1 は、電源電圧発生回路または基板バイアス発生回路の実施例を示す図である。電源電圧発生回路あるいは基板バイアス発生回路は、直列接続された MOS トランジスタ MOS 0 1、各電圧を取り出すスイッチ用の MOS 0 2、電流を増幅するアンプ回路 AMP 0 1、および電流制限用の抵抗 RES 0 1 から構成される。直列接続された MOS トランジスタ MOS 0 1 は、与えられた電圧を各トランジスタが持つ抵抗分により分割し、複数の電圧値を作成する。所望の電圧を生成している MOS トランジスタ MOS 0 1 から端子を取り出し、スイッチ用 MOS トランジスタ MOS 0 2 に接続する。MOS 0 2 のゲート端子はデコーダ信号 N 1 7 が接続され、デコーダ回路により選択された信号により、MOS 0 1 が生成している電圧のうち一つが選択されて MOS 0 2 を通じて出力される。MOS 0 2 から出力された電圧はアンプ回路 AMP 0 1 により電流増幅され、電源電圧や基板バイアスとして必要な電流を得る。このようにして、電源電圧発生回路や基板バイアス発生回路が発生する電圧はデコーダ信号 N 1 7 により制御される。

【 0 0 6 1 】

基板バイアス発生回路としては、図 2 1 の回路が 2 種類必要になり、それぞれ PMOS トランジスタの基板用と NMOS トランジスタの基板用に用いられる。電流制限用の抵抗 RES 0 1 は、基板バイアス発生回路が順バイアスを供給する場合に、リーク電流が増加することを抑制し、主回路の動作信頼性を向上する。

【 0 0 6 2 】

図 2 2 は、電源電圧発生回路または基板バイアス発生回路の他の実施例を示す図である。電源電圧発生回路あるいは基板バイアス発生回路は、電流増幅を行うアンプ回路 AMP 0 2、AMP 0 2 の出力電圧を制御する抵抗 RES 0 2 および

RES03、抵抗RES03を選択するスイッチ用MOSトランジスタMOS03、電流制限用抵抗RES01から構成される。デコーダ信号N17は、MOSトランジスタMOS03のうち、1つを選択する。抵抗RES03はそれぞれ異なる抵抗値を持ち、MOS03によって選ばれる。選択されたRES03と抵抗RES02の抵抗値によって、アンプ回路AMP02が出力する電圧が決定される。このようにして、電源電圧発生回路や基板バイアス発生回路が発生する電圧はデコーダ信号N17により制御される。

【0063】

基板バイアス発生回路としては、図22の回路が2種類必要になり、それぞれPMOSトランジスタの基板用とNMOSトランジスタの基板用に用いられる。電流制限用の抵抗RES01は、基板バイアス発生回路が順バイアスを供給する場合に、リーク電流が増加することを抑制し、主回路の動作信頼性を向上する。

【0064】

図23は、クロック信号発生回路の実施例を示す図である。クロック信号発生回路は、位相同期ループ回路PLL、セクタ回路SEL10、分周回路DIV1、DIV2、DIV3、DIV4から構成される。クロック信号は位相同期ループPLLによって生成され、デコーダ信号N17によりセクタ回路SEL10がPLLの生成するクロック信号をどの分周回路に伝達するかを選択する。選択された分周回路では、クロック信号の周波数を分周してN11に出力する。分周回路は、例えば1倍、1/2倍、1/3倍、1/4倍などの回路が用いられる。このようにして、デコーダ信号N17により所望の周波数を持ったクロック信号が生成される。

【0065】

図24は、本発明の他の実施例を示す図である。

【0066】

本発明の他の実施例によると、主回路は複数の回路ブロックLSI20、LSI30、LSI40などに分割される。各ブロックにはそれぞれ命令発生回路OP20、OP30、OP40が配置され、ブロックごとに要求性能を満たすための命令信号CMD21、CMD22、CMD23、CMD31、CMD32、C

MD33、CMD41、CMD42、CMD43を出力する。クロック周波数制御回路FRQCNT20、FRQCNT30、FRQCNT40、電源電圧制御回路VDDCNT20、VDDCNT30、VDDCNT40、基板バイアス制御回路VBBCNT20、VBBCNT30、VBBCNT40は、それぞれ命令信号に応じた制御信号を生成し、各ブロックに供給する。このように、制御を細かく分割することにより、さらに半導体集積回路装置の性能を向上することができる。

【0067】

これまで説明してきたうちの、基板バイアス制御を行うにあたって、特に図24の実施例のように主回路内で制御を分割する場合、図25あるいは図26の断面図に示すような基板の分割が必要になる。図25は3重ウエル構造と呼ばれる。従来のMOSトランジスタは、P型基板PSUBにNMOSトランジスタ用のN型ウエルNWELLを形成し、N型拡散層NおよびP型拡散層Pを配置することで、それぞれNMOSトランジスタとPMOSトランジスタを形成している。しかし、この構造ではNMOSトランジスタのP型ウエルはP型基板PSUBを通じてすべて接続されてしまう。そこで、基板バイアス制御を行うためにN型ウエルおよびP型ウエルを分離する必要がある。

【0068】

図25では、N型分離層NISOを設けることによって、P型ウエルPWELLおよびN型ウエルNWELLを分離している。また、図26はシリコン・オン・インシュレータ構造と呼ばれている。MOSトランジスタとP型基板PSUBの間に酸化膜からなる絶縁層INSを設けることで、P型基板PSUBとMOSトランジスタを分離している。

【0069】

図27は、本発明の他の実施例を示す図である。

【0070】

本発明の半導体集積回路装置と、電池BAT、電圧変換回路DDCNT、スイッチ回路SW、および電圧測定回路VMESから構成されるシステムである。本実施例では、電池BATが供給する電圧は電圧変換回路DDCNVおよびスイッ

チ回路 SW を通して装置 T L S I の電源として供給される。電圧測定回路 V M E S は電池 B A T の電圧を測定し、電圧が下がると N 5 1 信号によりスイッチ回路 SW を切り替え、電池 B A T の出力を直接、装置 T L S I の電源として供給させる。

【 0 0 7 1 】

本発明の半導体集積回路装置 T L S I が電池 B A T で駆動される場合、通常状態では電源の供給のために電圧変換回路 D D C N V が用いられる。この電圧変換回路 D D C N V は、電池 B A T が出力する電圧を安定化させる働きがある。電池 B A T の残容量が少なくなってくると、電圧変換回路 D D C N V は電圧を昇圧しなければならない、電池の利用効率が悪くなる。そこで、電圧測定回路 V M E S が電池 B A T の出力電圧の低下を測定し、スイッチ回路 SW を切り替えて電池 B A T の出力を直接、装置 T L S I に供給する。これにより、電池 B A T の寿命を延長させることができる。電池の供給能力の劣化は、基板バイアスの印加等により抑制することが可能である。

【 0 0 7 2 】

これまでの説明において、クロック周波数制御回路とクロック信号生成回路は同じ機能を示す。同様に、電源電圧制御回路と電源電圧発生回路、および基板バイアス制御回路と基板バイアス発生回路は、それぞれ同じ機能を示す。

【 0 0 7 3 】

【発明の効果】

クロック周波数、電源電圧、基板バイアスのいずれについても制御可能に構成することにより、消費電力の大幅な増大を必要とすることなく、動作速度を高速化できる半導体集積回路が実現できる。

【図面の簡単な説明】

【図 1】

本発明の実施例の構成図である。

【図 2】

クロック周波数／電源電圧対応を示す図である。

【図 3】

CMOS回路動作周波数の電源電圧依存性を示す図である。

【図 4】

電池駆動を行った場合の電池電圧と時間の関係を示す図である。

【図 5】

本発明の他の実施例の構成図である。

【図 6】

本発明の他の実施例を示すフローチャートである。

【図 7】

本発明の他の実施例を示すフローチャートである。

【図 8】

本発明の他の実施例を示すフローチャートである。

【図 9】

本発明の他の実施例を示すフローチャートである。

【図 10】

本発明の他の実施例を示すフローチャートである。

【図 11】

本発明の他の実施例を示すフローチャートである。

【図 12】

本発明の他の実施例を示すフローチャートである。

【図 13】

本発明の他の実施例を示すフローチャートである。

【図 14】

本発明の他の実施例の構成図である。

【図 15】

本発明の他の実施例の構成図である。

【図 16】

本発明の他の実施例の構成図である。

【図 1 7】

本発明の他の実施例の構成図である。

【図 1 8】

モニタ回路の実施例を示す図である。

【図 1 9】

比較回路の実施例を示す図である。

【図 2 0】

デコーダ回路の実施例を示す図である。

【図 2 1】

電源電圧発生回路または基板バイアス発生回路の実施例を示す図である。

【図 2 2】

電源電圧発生回路または基板バイアス発生回路の他の実施例を示す図である。

【図 2 3】

クロック信号発生回路の実施例を示す図である。

【図 2 4】

本発明の他の実施例の構成図である。

【図 2 5】

トランジスタ断面の実施例を示す図である。

【図 2 6】

トランジスタ断面の他の実施例を示す図である。

【図 2 7】

本発明の他の実施例の構成図である。

【符号の説明】

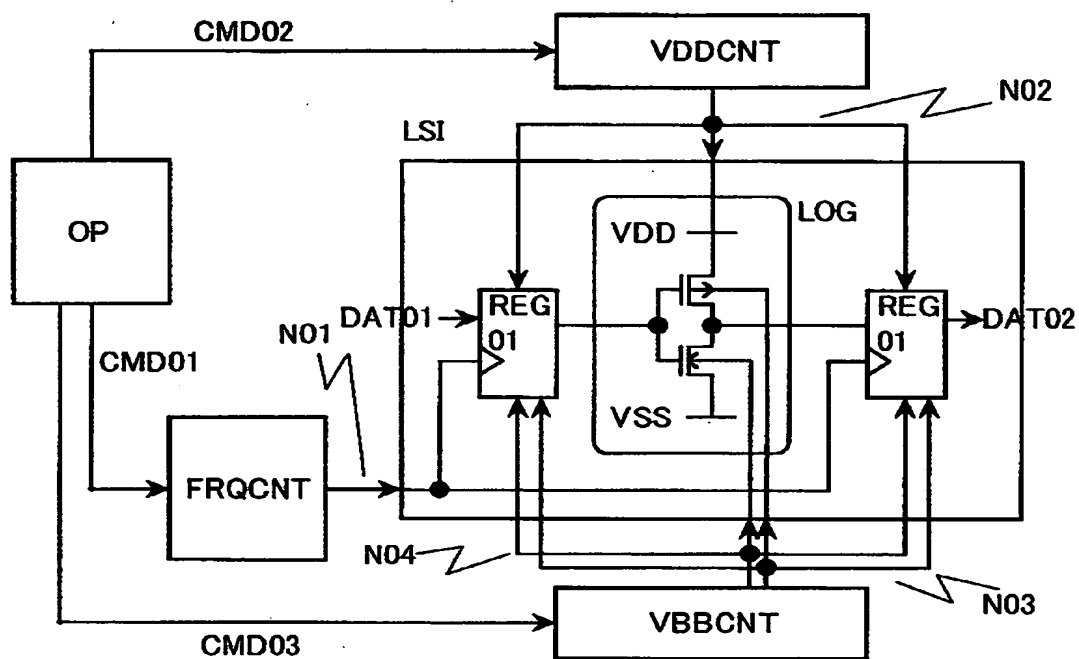
AMP 0 1、AMP 0 2 : アンプ回路、BAT : 電池、CMD : 命令、CMD 0 0、CMD 0 1、CMD 0 2、CMD 0 3、CMD 1 1、CMD 1 2、CMD 1 3、CMD 2 1、CMD 2 2、CMD 2 3、CMD 3 1、CMD 3 2、CMD 3 3、CMD 4 1、CMD 4 2、CMD 4 3 : 命令信号、CMP 比較回路、DAT 0 1、DAT 0 2 : データ信号、DDCNV : 電圧変換回路、DEC : デコーダ回路、DFF : D型フリップフロップ回路、DIV 1、DIV 2、DIV 3、

DIV4 : 分周回路、FRQ : クロック周波数、FRQCNT、FRQCNT20、FRQCNT30、FRQCNT40、FRQCNT50、FRQCNT60 : クロック周波数制御回路、FRQGEN : クロック信号発生回路、INS : 酸化膜分離層、INV : インバータ回路、LOG : 論理回路、LSI、LSI20、LSI30、LSI40 : 主回路、MON : モニタ回路、MOS01、MOS02、MOS03 : MOSトランジスタ、N : N型拡散層、N01、N02、N03、N04、N11、N12、N13、N14、N15、N16、N17、N21、N22、N23、N31、N32、N33、N41、N42、N43、N51 : 信号接続、NISO : N型分離層、NOR : ノア回路、NWELL : N型ウエル、OP : 命令発生回路、P : P型拡散層、PLL : 位相同期ループ回路、PSUB : P型基板、PWELL : P型ウエル、REF : 参照信号、REG01、REG02 : レジスタ回路、RES01、RES02、RES03 : 抵抗、RSFF : RS型フリップフロップ回路、S01、S02、S03、S04、S11、S12、S13、S14、S15、S16、S21、S22、S23、S24、S25 : 状態遷移、SEL01、SEL10 : セレクタ回路、SW : スイッチ回路、TBL : 対応表、TLSI : 半導体集積回路装置、TMP : 温度補正回路、VBB : 基板バイアス、VBBCNT、VBBCNT20、VBBCNT30、VBBCNT40、VBBCNT50、VBBCNT60 : 基板バイアス制御回路、VBBGEN : 基板バイアス発生回路、VBN : NMOSトランジスタ用基板バイアス、VBP : PMOSトランジスタ用基板バイアス、VDD : 電源電圧、VDDCNT、VDDCNT20、VDDCNT30、VDDCNT40、VDDCNT50、VDDCNT60 : 電源電圧制御回路、VDDGEN : 電源電圧発生回路、VMES : 電圧測定回路、VSS : グランド電圧。

【書類名】 図面

【図 1】

図 1



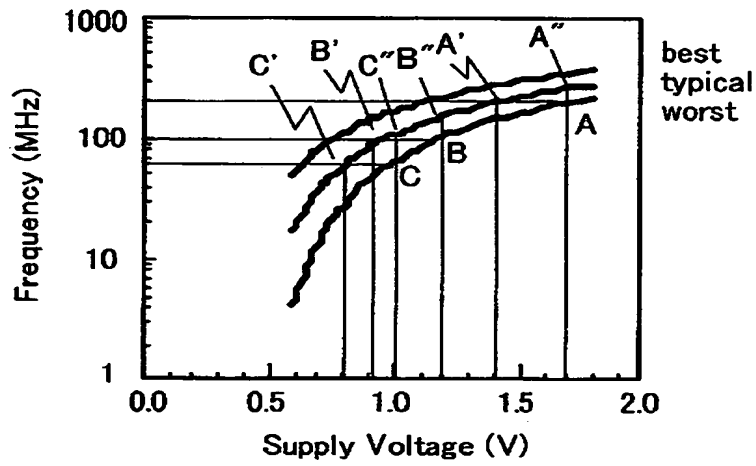
【図 2】

図 2

FRQ	VDD (without VBB)	VDD (with VBB)
200 MHz	1.7V	1.4V
100 MHz	1.2V	0.9V
50 MHz	1.0V	0.8V

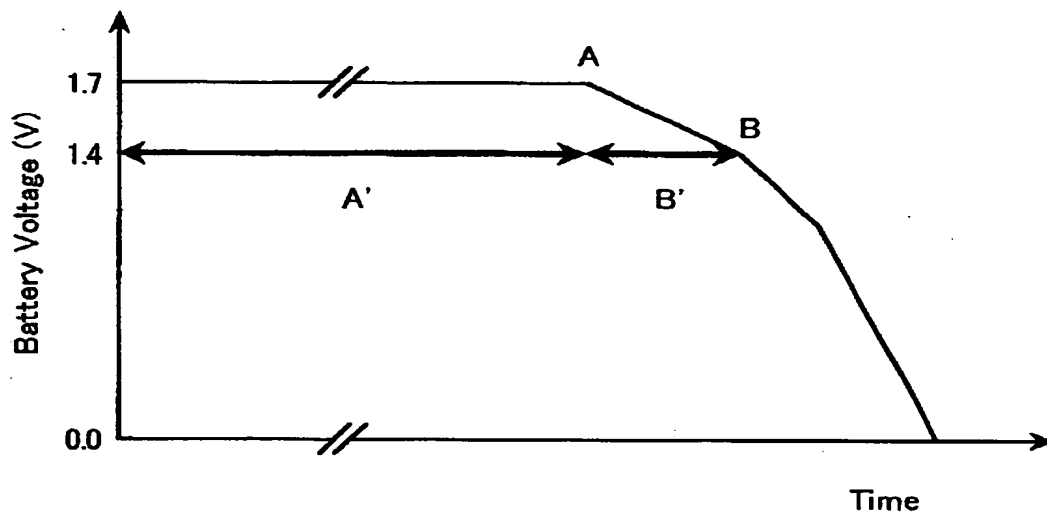
【図3】

図3



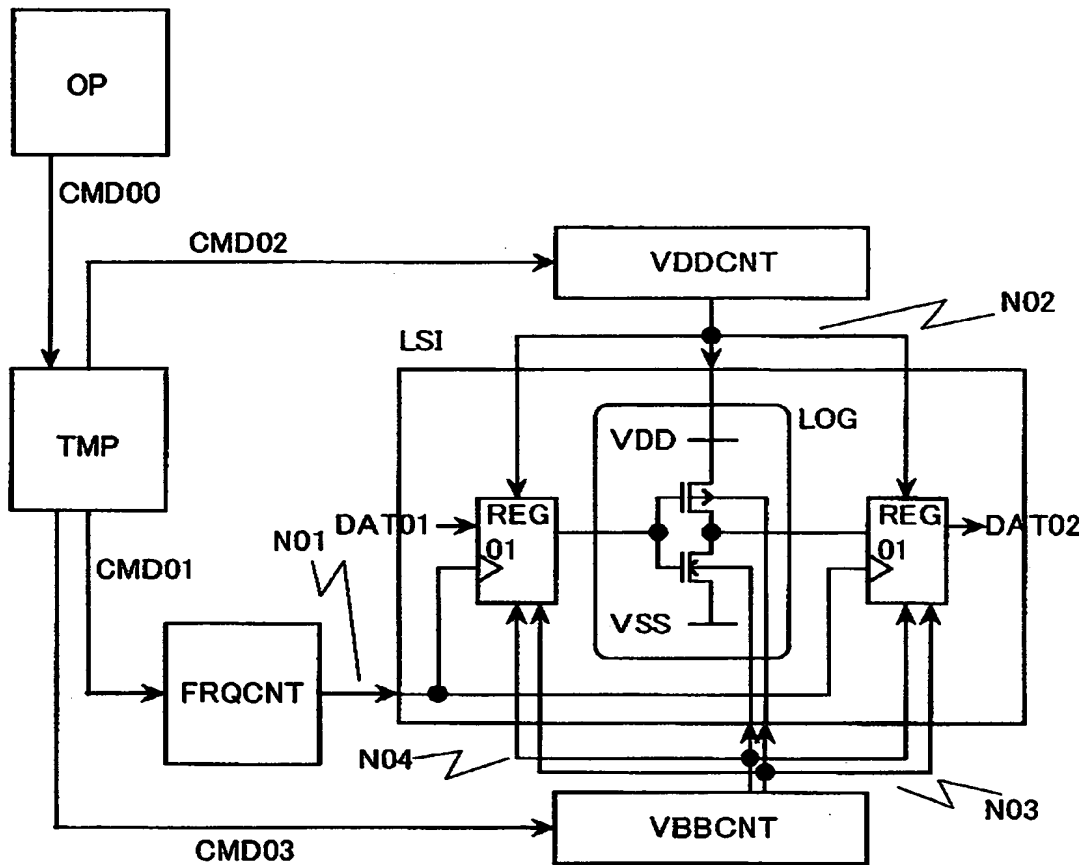
【図4】

図4



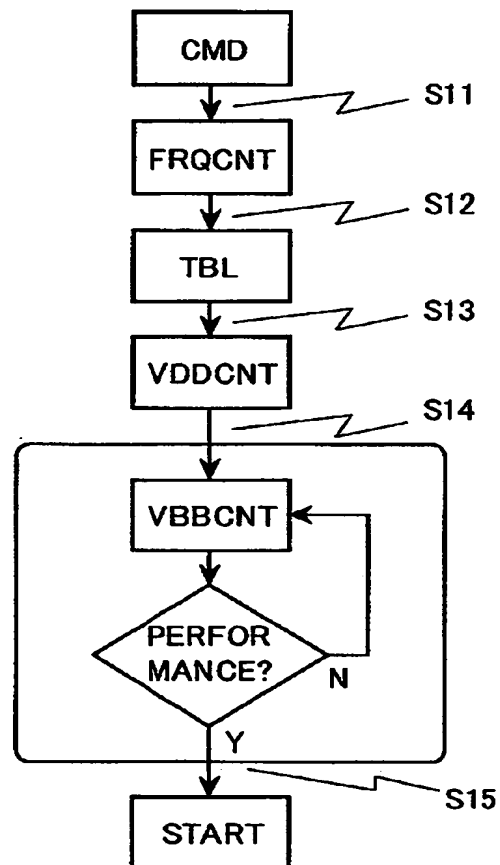
【図 5】

図 5



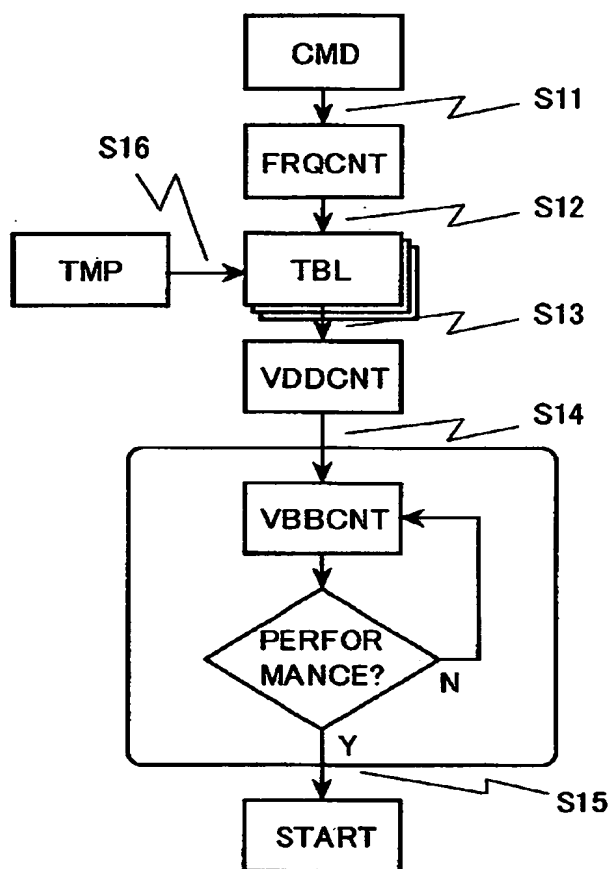
【図 6】

図 6



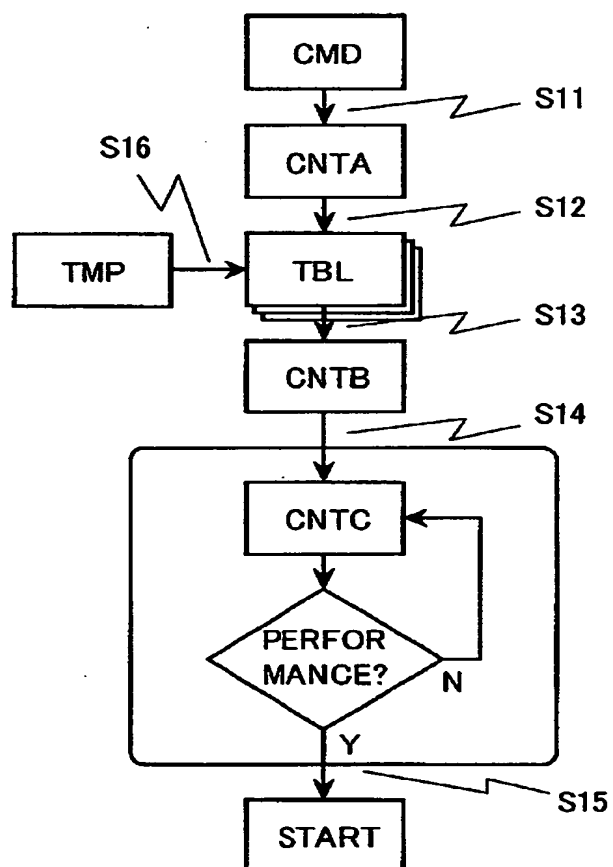
【図7】

図7



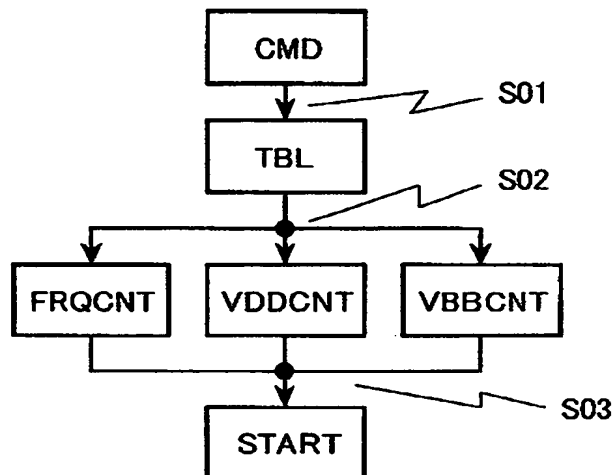
【図 8】

図 8



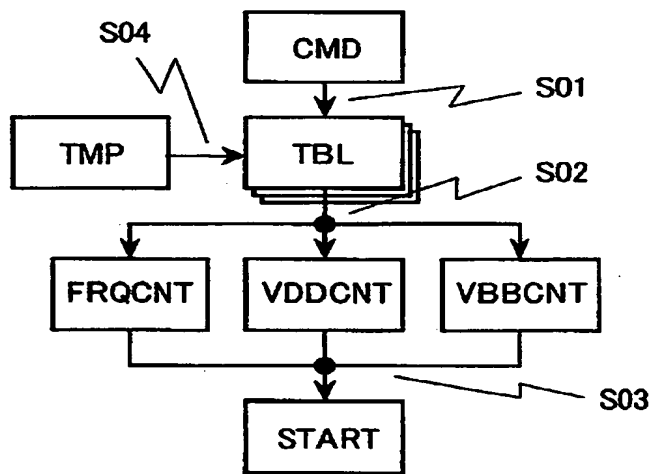
【図9】

図9



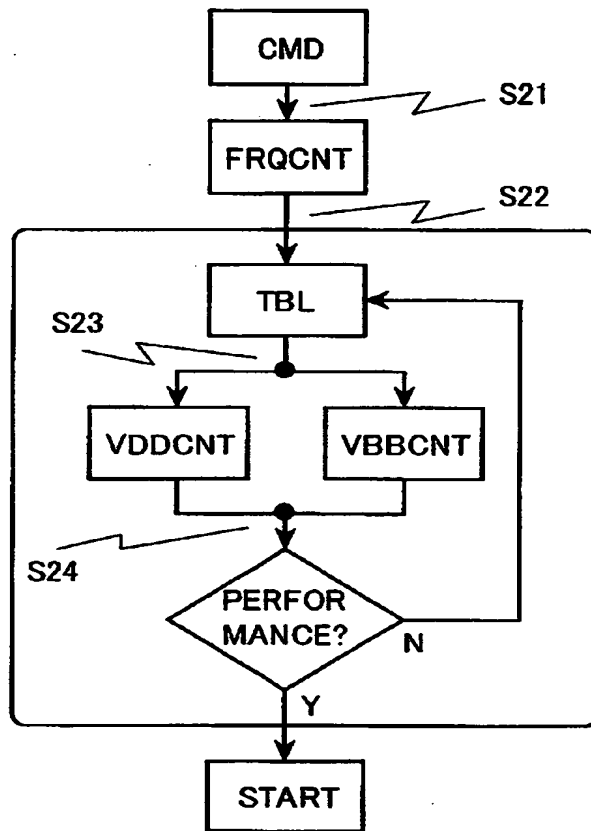
【図10】

図10



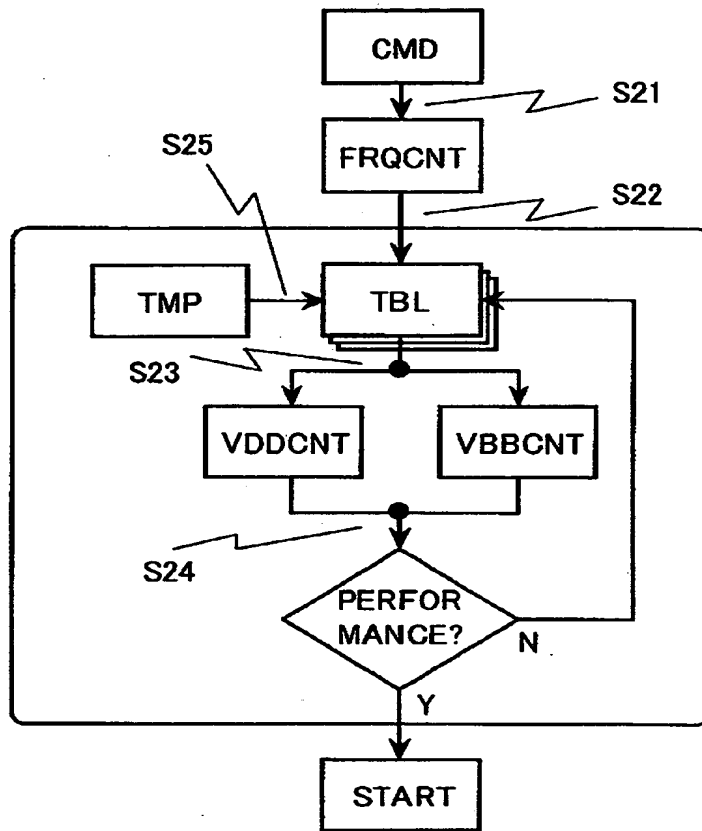
【図 1 1】

図 11



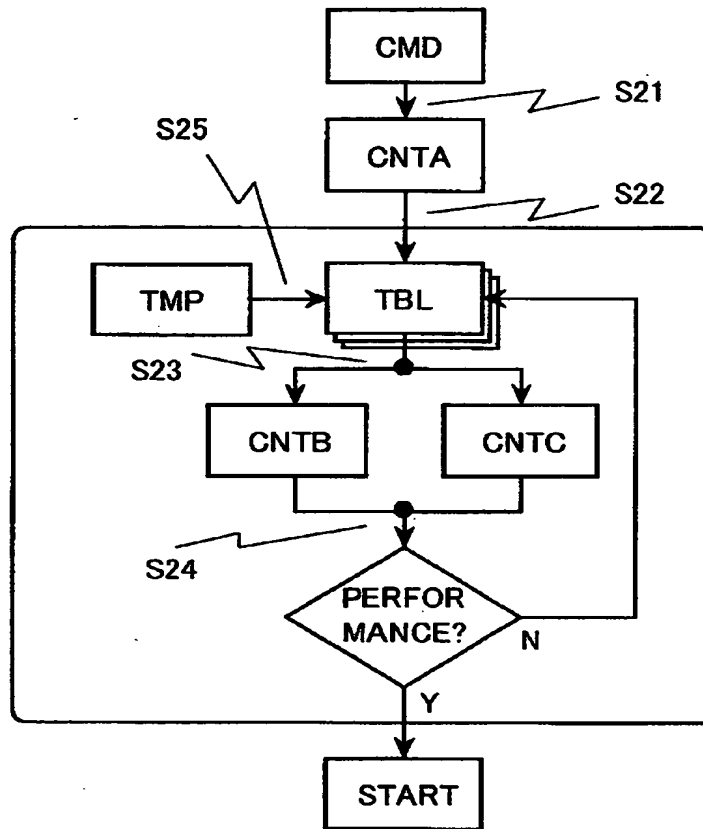
【図12】

図 12



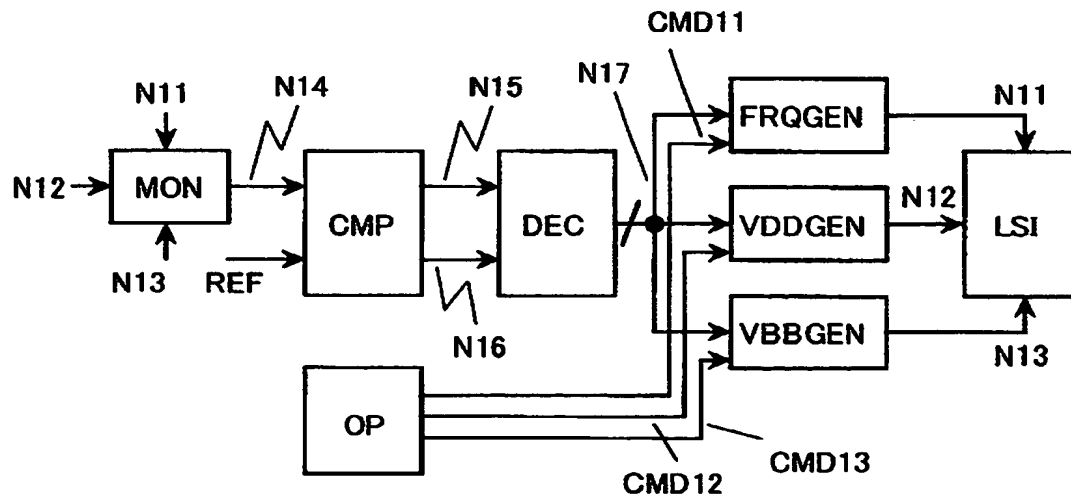
【図13】

図13



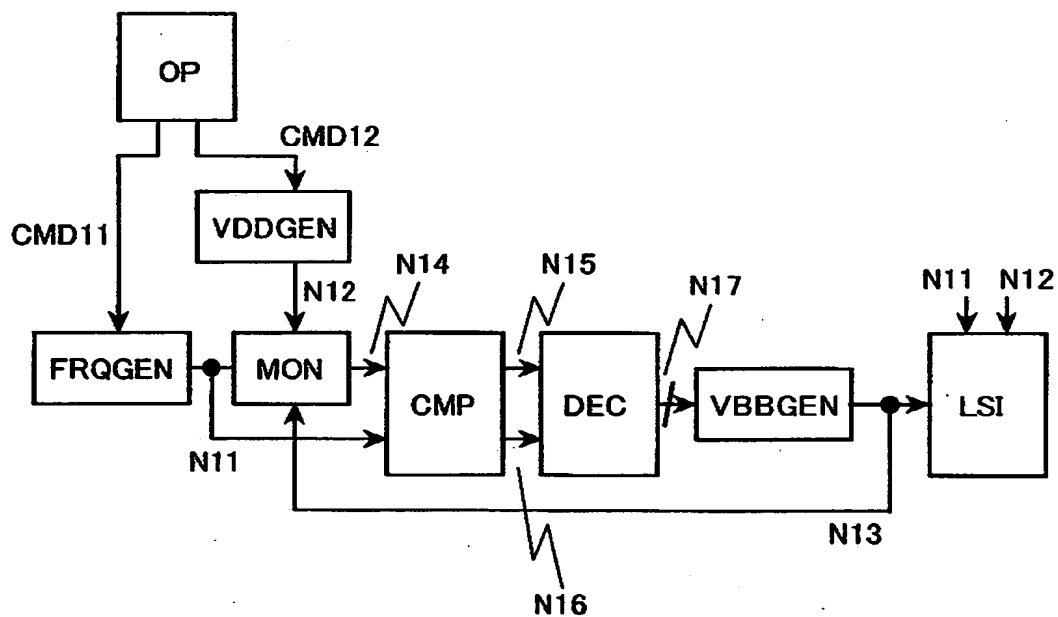
【図14】

図14



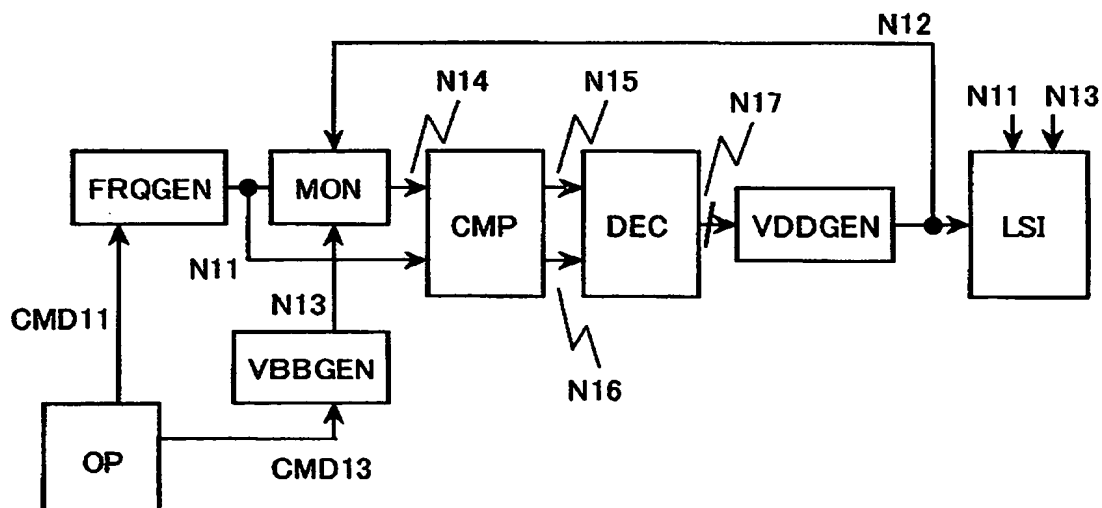
【図 15】

図 15



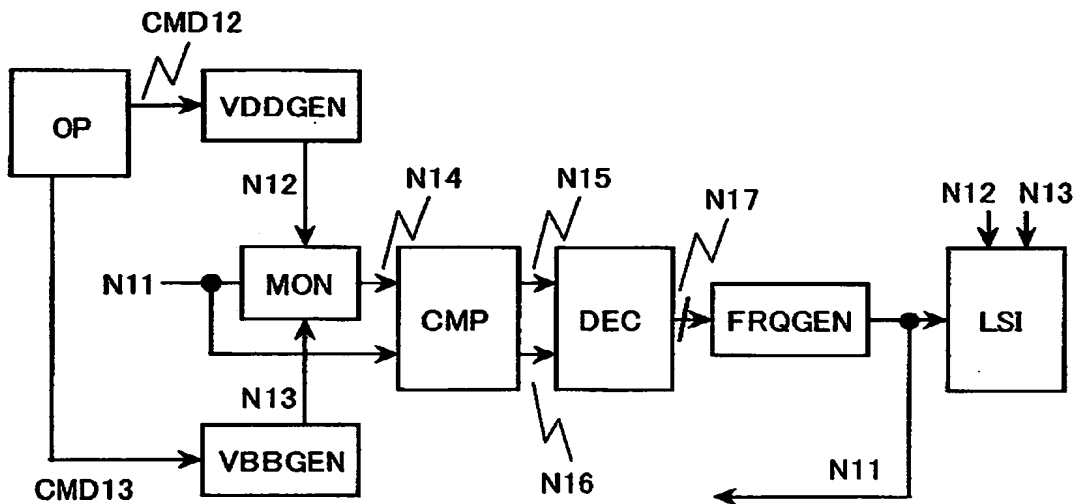
【図 16】

図 16



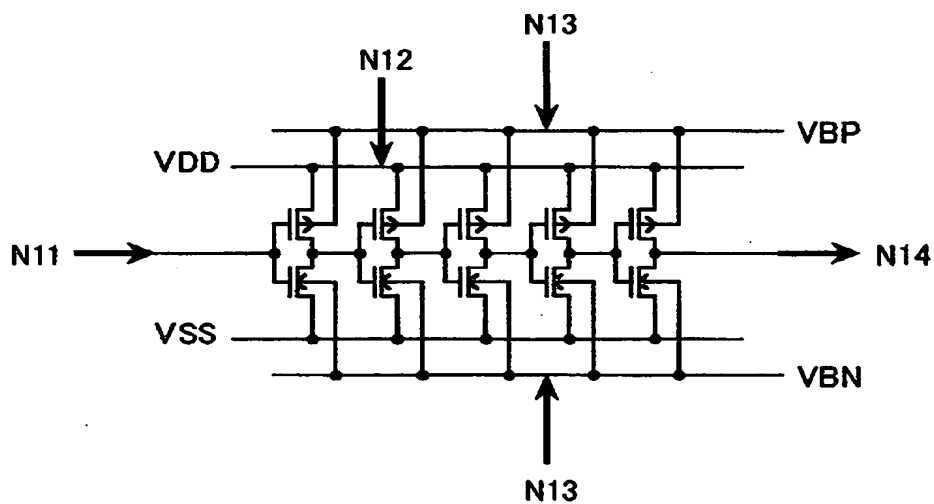
【図 17】

図 17



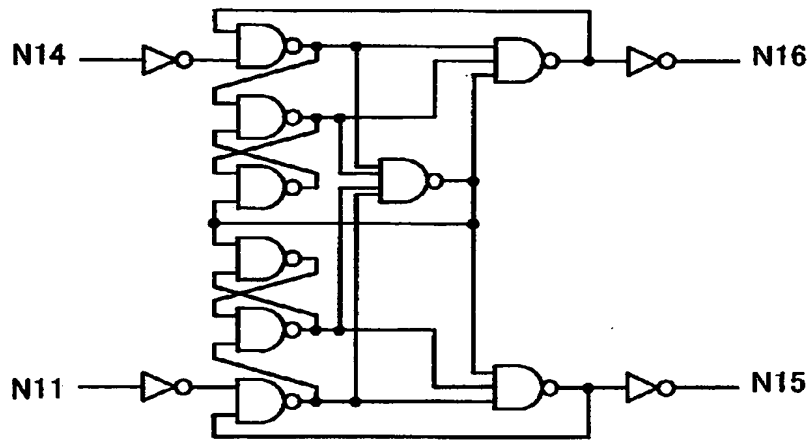
【図 18】

図 18



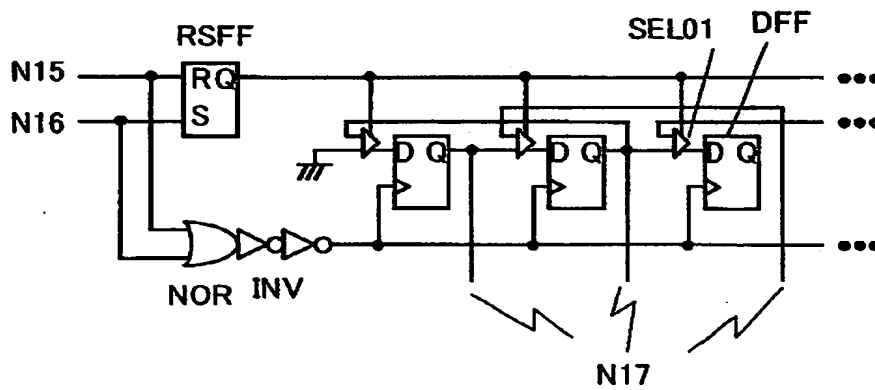
【図 19】

圖 19



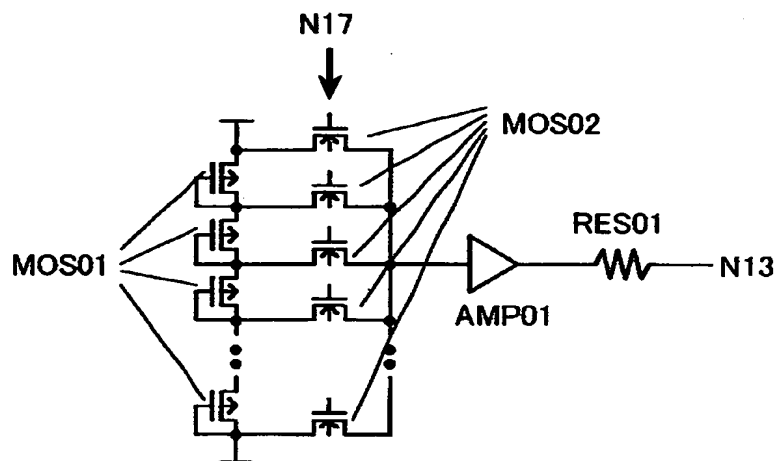
【图 20】

圖 20



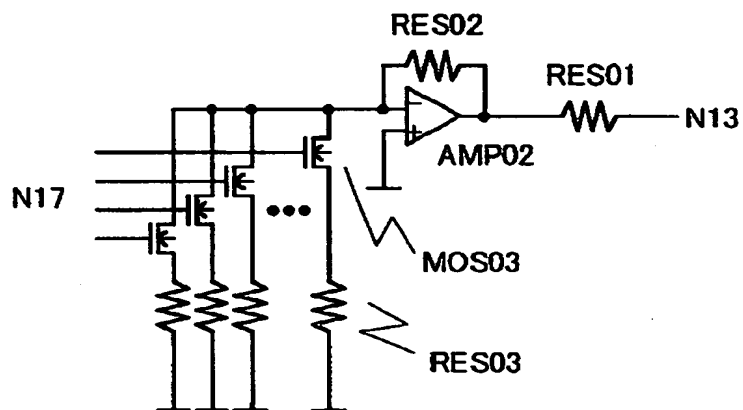
【図 2 1】

図 21



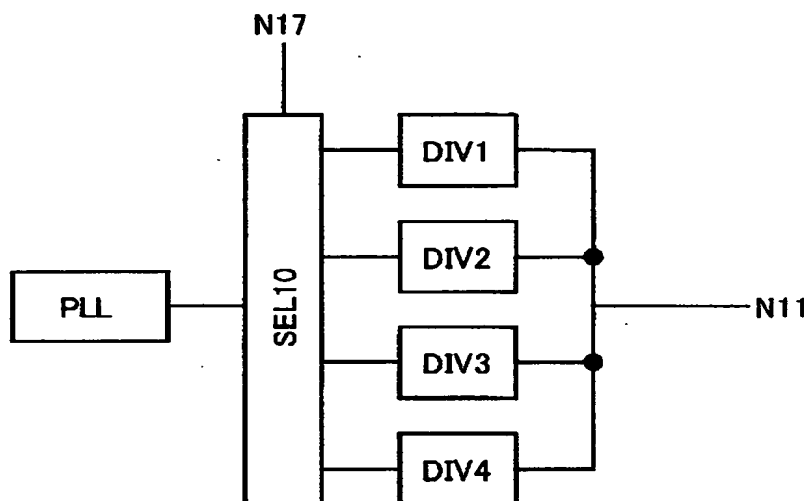
【図 2 2】

図 22



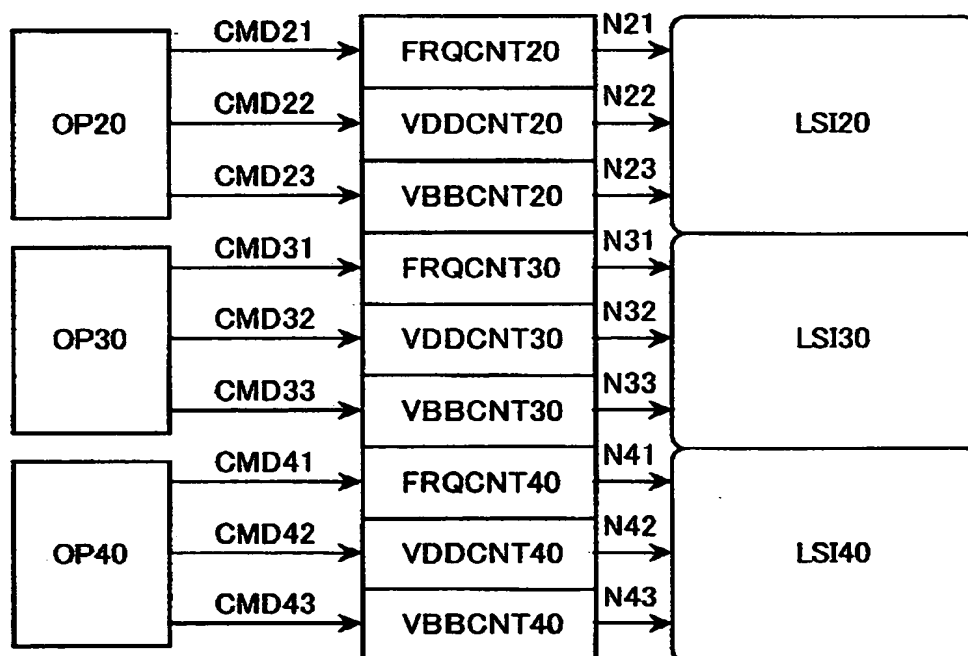
【図 2 3】

図 23



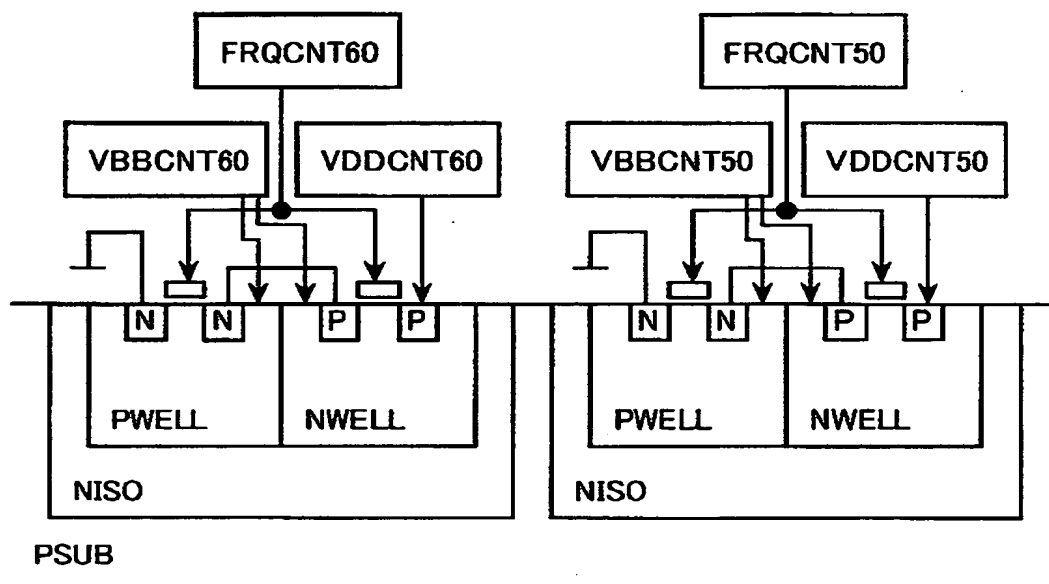
【図 2 4】

図 24



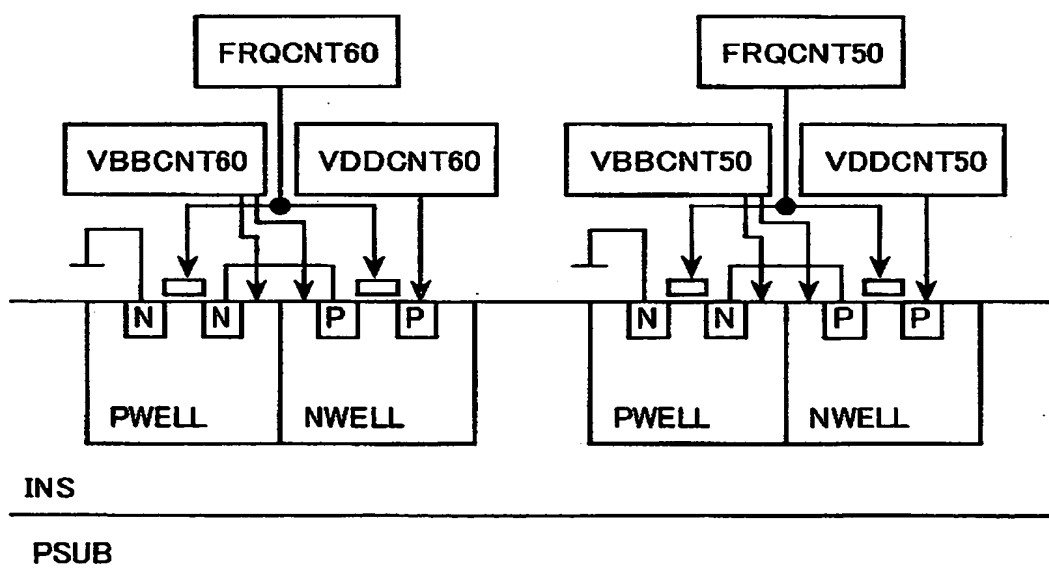
【図 25】

図 25



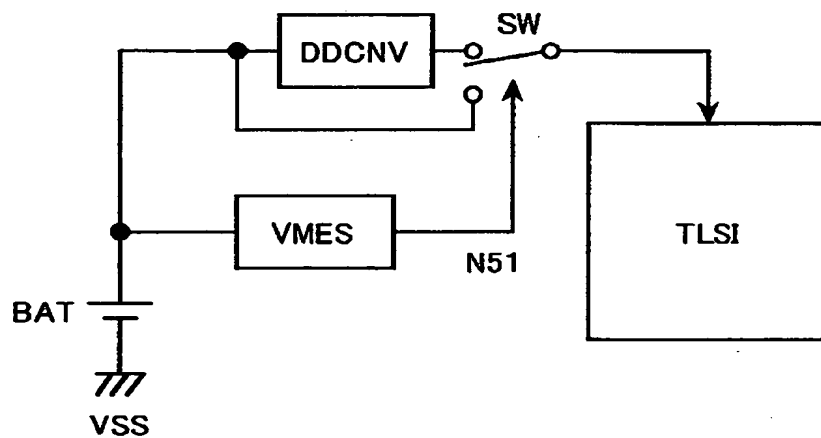
【図 26】

図 26



【図 2 7】

図 27



【書類名】 要約書

【要約】

【課題】 CMOS回路の動作速度の高速化と低消費電力化とを両立させる。

【解決手段】 命令発生回路OPの命令信号CMDに応じて、各制御回路FRQCNT, VDDCNT, VBBCNTが最適なクロック信号、電源電圧、基板バイアスを発生し、主回路LSIに供給する。

【効果】 CMOS回路特性のばらつきを抑制して回路の性能を向上する。また、CMOS回路の動作速度を劣化させずに低電力化を実現し、あるいはCMOS回路の消費電力を増加することなく高速化を実現する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-164717
受付番号	50005034241
書類名	特許願
担当官	第五担当上席 0094
作成日	平成12年 5月31日

<認定情報・付加情報>

【提出日】	平成12年 5月30日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所